

## ===== WPI =====

TI - PIN-APD used as light receiving element - has light receiving layer and epitaxial layer which are formed on semiconductor substrate, acts as optical carrier generation area

AB - J10190041 The photodiode has a P+ type substrate (1) on which a P- type epitaxial layer (2) is formed. A N+ type light receiving layer (3) is formed on the light receiving area of the P- type epitaxial layer. An N- type guard ring layer (4) is formed on the periphery of the light receiving layer.

- A P+ type channel stopper layer (6) which isolates the guard ring layer in the epitaxial layer, is formed. A P type field dope layer (5) is formed on the periphery of the channel stopper layer. The light receiving layer and P- type epitaxial layer are formed on the semiconductor substrate which functions as an optical carrier generation area.

- ADVANTAGE - Alleviates electric field concentration. Adjusts impurity concentration of epitaxial layer.

- (Dwg.1/2)

PN - JP10190041 A 19980721 DW199839 H01L31/107 005pp

PR - JP19960350729 19961227

PA - (HAMM ) HAMAMATSU PHOTONICS KK

MC - U12-A02B2A

DC - U12

IC - H01L31/107

AN - 1998-452329 [39]

## ===== PAJ =====

TI - PHOTODIODE

AB - PROBLEM TO BE SOLVED: To attain high sensitivity and high withstand voltage by a method wherein a filed dope layer is provided between a guard ring layer and a channel stopper layer, and further a spacing portion is provided between the field doper layer and the guard ring layer.

- SOLUTION: An n type impurity is heavily doped in a light-receiving area in a surface layer of a p type epitaxial layer 2, and an n<+> type layer 3 is formed as a light-receiving layer. An n type impurity is doped at low concentration in a peripheral part of the light-receiving area in a surface layer of the p type epitaxial layer 2, and an n type guard ring layer 4 connecting with a marginal part of the n<+> type layer 3 is formed. Outside the n type guard ring layer 4 in a surface layer of the p type epitaxial layer 2, a p type field dope layer 5 in which a lightly doped p type impurity is formed at a spacing S relative to the n type guard ring layer 4. Further outside the p type field dope layer 5 in a surface layer of the p type epitaxial layer 2, a p<+> type channel stopper layer 6 in which a p type impurity is heavily doped than the p type field dope layer 5 is formed.

PN - JP10190041 A 19980721

PD - 1998-07-21

ABD - 19981031

ABV - 199812

AP - JP19960350729 19961227

PA - HAMAMATSU PHOTONICS KK

IN - SAWARA MASAOKI;SUZUKI TAKASHI

I - H01L31/107

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-190041

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 31/107

H 0 1 L 31/10

B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平8-350729

(22) 出願日 平成 8 年(1996) 12月27日

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の 1

(72) 発明者 佐原 正哲

静岡県浜松市市野町1126番地の 1 浜松ホ  
トニクス株式会社内

(72) 発明者 鈴木 高志

静岡県浜松市市野町1126番地の 1 浜松ホ  
トニクス株式会社内

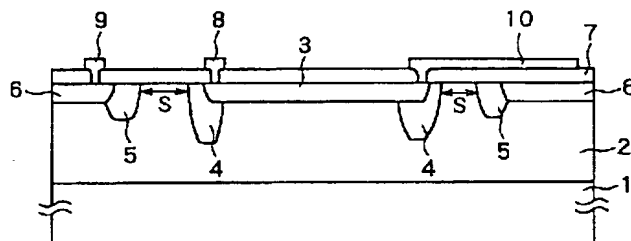
(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 ホトダイオード

(57) 【要約】

【課題】 高感度化と高耐圧化とを同時に達成可能としたホトダイオードを提供する。

【解決手段】 本発明は、 $p^+$ 型の基板 1 と、この基板 1 上に形成された  $p$ -型エピタキシャル層 2 と、この表層 2 の受光領域に形成された  $n^+$ 型の受光層 3 と、この受光層 3 の周囲に受光層 3 よりも深くかつ内周が受光層 3 と接続するように形成された  $n$ 型のガードリング層 4 と、このガードリング層 4 の周囲のエピタキシャル層 2 にガードリング層 4 と離隔して形成された  $p^+$ 型チャネルストップ層 6 と、ガードリング層 4 の周囲のエピタキシャル層 2 にガードリング層 4 と一定の間隔をあけると共に外周がチャネルストップ層 6 と接続するように形成された  $p$ 型フィールドドープ層 5 とを備え、 $n^+$ 型受光層 3 と  $p^+$ 型基板 1 に挟まれた  $p$ -型エピタキシャル層 2 を光キャリア発生領域とする構成である。



## 【特許請求の範囲】

【請求項1】 第一導電型不純物が高濃度にドーパされた半導体基板と、

この半導体基板上に形成され、前記第一導電型不純物が低濃度にドーパされたエピタキシャル層と、

このエピタキシャル層の表層の受光領域に形成され、第二導電型不純物が高濃度にドーパされた第二導電型の受光層と、

この受光層の周囲の前記エピタキシャル層に、前記受光層よりも深くかつ内周が前記受光層と接続するように形成され、前記第二導電型の不純物が低濃度にドーパされた第二導電型のガードリング層と、

このガードリング層の周囲の前記エピタキシャル層に前記ガードリング層と離隔して形成され前記第一導電型不純物が高濃度にドーパされたチャネルストップ層と、

前記ガードリング層の周囲の前記エピタキシャル層に前記ガードリング層と一定の間隔をあけると共に外周が前記チャネルストップ層と接続するように形成され、前記第一導電型の不純物が前記チャネルストップ層よりも低濃度かつ前記エピタキシャル層よりも高濃度にドーパされたフィールドドーパ層とを備え、

前記受光層と前記半導体基板に挟まれた前記エピタキシャル層を光キャリア発生領域としたことを特徴とするホトダイオード。

【請求項2】 前記第一導電型はp型であり、前記第二導電型はn型であり、

前記受光層に接続されたカソード電極と、前記チャネルストップ層に接続されたアノード電極とを更に備えることを特徴とする請求項1記載のホトダイオード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、受光素子として用いられるホトダイオードに係り、特に詳細には、アノードとなるp型領域とカソードとなるn型領域の間に、低濃度のp型、n型または、i型の光キャリア生成領域を介在させたPIN構造のホトダイオードに関する。

## 【0002】

【従来の技術】アバランシェホトダイオード（以下「APD」とする）は、入射光により生成された電子・正孔対を、アバランシェ効果によって増倍できるため、高感度の受光素子として注目されている。そして、PIN構造のAPD（PIN-APD）では光キャリア生成領域が厚いために入射光を効率よく吸収できるので、更に高感度が実現できる。

【0003】図2は、従来のPIN-APDの断面図である。図示の通り、p<sup>+</sup>型基板1にはp<sup>-</sup>型エピタキシャル層2が成長され、この表層の受光領域にn<sup>+</sup>型層3が形成されることにより、p<sup>+</sup>型基板1をP領域（アノード領域）、p<sup>-</sup>型エピタキシャル層2をI領域（光キャリア生成領域）、n<sup>+</sup>型層3をN領域（カソード領域）

とするPIN構造が形成されている。

【0004】なお、n<sup>+</sup>型層3の周囲には、n型ガードリング層4が接続して形成されることにより、電界がPN接合の周辺で大きくなることを防ぎ、これを囲むようにp<sup>+</sup>型チャネルストップ層6が離隔して形成されることにより、同一基板上に形成された図示しない他の素子（他のAPDや信号増幅用のトランジスタ）と、APDを分離することができる。

【0005】この構造によれば、表面のSiO<sub>2</sub>膜7に形成した開口を介して、n<sup>+</sup>型層3とカソード電極8を接続することができるだけでなく、同様にSiO<sub>2</sub>膜7に形成した開口を介して、p<sup>+</sup>型チャネルストップ層6とアノード電極9を接続することができる。このため、p<sup>+</sup>型基板1に直接に（例えばp<sup>+</sup>型基板1の裏面に）アノード電極を設けることなく、素子の表面上の配線のみでp<sup>+</sup>型基板1とn<sup>+</sup>型層3に挟まれたp<sup>-</sup>型エピタキシャル層2に空乏層を形成し、光キャリア生成領域として機能させることが可能となる。

## 【0006】

【発明が解決しようとする課題】しかしながら、このプレーナー構造の従来技術では、APDを高感度にしようとする、n型ガードリング層4とp<sup>+</sup>型チャネルストップ層6との間のPN接合耐圧が低下し、アバランシェ増倍のための十分なバイアス電圧を印加することが難しく、高感度化を実現することが容易でなかった。

【0007】すなわち、高感度化のためには光キャリア生成領域における入射光の吸収を多くすれば良く、このためには、光キャリア生成領域を大きくする、つまりp<sup>-</sup>型エピタキシャル層2を厚くすれば良いが、このためには、p<sup>-</sup>型エピタキシャル層2の不純物濃度を十分に低くしなければならない。なぜなら、p<sup>-</sup>型エピタキシャル層2をn<sup>+</sup>型層3との界面からp<sup>+</sup>型基板1に至るまで空乏化するための逆バイアスは、p<sup>-</sup>型エピタキシャル層2の不純物濃度に比例するからである。

【0008】そこで、p<sup>-</sup>型エピタキシャル層2を十分に低濃度にすると、n型ガードリング層4とp<sup>+</sup>型チャネルストップ層6の間のp<sup>-</sup>型エピタキシャル層2の表層部は、極性が容易にn型に反転する。この極性反転は、半導体の表面準位やSiO<sub>2</sub>膜7上の配線10からの電界により生じるが、特にAPDではカソード電極8とアノード電極9の間に高電圧が印加されるため、配線10からの電界の影響はより大きく、容易に極性反転してしまう。

【0009】極性反転が生じると、p<sup>-</sup>型エピタキシャル層2の表層のn型反転部11とp<sup>+</sup>型チャネルストップ層6の間にPN接合が現れるが、p<sup>+</sup>型チャネルストップ層6は高濃度であるため電界が集中し、ここで耐圧が低下する。このため、アバランシェ増倍のための十分な逆バイアス電圧が印加できない。

【0010】結局、図2に示すタイプのAPD、すなわ

ち低濃度のp型、n型またはi型層を光キャリア生成領域とするPIN-APDのようなPIN構造を有するホトダイオードにおいては、高感度化と高耐圧化を同時に実現することは、互いにトレードオフの関係にあった。

【0011】そこで本発明は、高感度化と高耐圧化とを同時に達成可能としたホトダイオードを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明に係るホトダイオードは、第一導電型不純物が高濃度にドーパされた半導体基板と、この半導体基板上に形成され、第一導電型不純物が低濃度にドーパされたエピタキシャル層と、このエピタキシャル層の表層の受光領域に形成され、第二導電型不純物が高濃度にドーパされた第二導電型の受光層と、この受光層の周囲のエピタキシャル層に、受光層よりも深くかつ内周が受光層と接続するように形成され、第二導電型の不純物が低濃度にドーパされた第二導電型のガードリング層と、このガードリング層の周囲のエピタキシャル層にガードリング層と離隔して形成され第一導電型不純物が高濃度にドーパされたチャンネルストップ層と、ガードリング層の周囲のエピタキシャル層にガードリング層と一定の間隔をあけると共に外周がチャンネルストップ層と接続するように形成され、第一導電型の不純物がチャンネルストップ層よりも低濃度かつエピタキシャル層よりも高濃度にドーパされたフィールドドーパ層とを備え、受光層と半導体基板に挟まれたエピタキシャル層を光キャリア発生領域としたことを特徴とする。

【0013】本発明によれば、低ドーパで第二導電型のガードリング層と低ドーパで第一導電型のフィールドドーパ層の間の間隔部分に、このフィールドドーパ層より低ドーパで第一導電型のエピタキシャル層を介在させたので、この間隔部分のエピタキシャル層が極性反転するか否かにかかわらず、この部分のpn接合耐圧が低下することがない。

【0014】すなわち、極性反転しないときは、低ドーパのガードリング層と十分に低ドーパの上記間隔部分との間でpn接合が形成され、極性反転するときには、低ドーパのフィールドドーパ層と反転層との間でpn接合が形成されるので、いずれの場合にも接合部での電界集中が緩和され、ホトダイオードの高耐圧化が保たれる。

【0015】このため、APDの動作電圧を高く設定でき、それゆえ表面準位や表面上の配線により極性反転が容易に発生してしまう程度まで、十分にエピタキシャル層を低ドーパにでき、第一導電型の半導体基板と第二導電型の受光層に挟まれた領域の第一導電型エピタキシャル層を十分に空乏化することができる。従って、光キャリア生成領域を大きくして入射光の吸収効率が高くなる。また、上記のようにエピタキシャル層を十分に低ドーパできるので、第一導電型のエピタキシャル層と接する第二導電型の受光層の界面近傍に高電界が集中し、こ

のためAPDとして用いた場合にアバランシェ増倍効果が高まる。

【0016】従って、本発明によれば、PIN構造を有するホトダイオード（例えばPINN-APD）の高耐圧化と高感度化が同時に達成される。

【0017】本発明に係るAPDは、上記第一導電型がp型であり、上記第二導電型はn型であり、上記受光層に接続されたカソード電極と、上記チャンネルストップ層に接続されたアノード電極とをさらに備えることとしてもよい。

【0018】このようにすれば、光キャリア生成領域で生成された電子・正孔対のうち、電子がn型受光層とp型エピタキシャル層の界面方向に誘導されるので、APDとして用いた場合には、電子が高電界によるアバランシェ増倍されることとなり、高い検出感度が実現される。

【0019】

【発明の実施の形態】以下、実施形態に係るPIN-APDを詳細に説明する。なお、図において同一要素には同一符号を付す。

【0020】図1の通り、ボロン等のp型不純物が高濃度にドーパされたSi単結晶からなるp<sup>+</sup>型基板1上には、同じくp型不純物を十分に低濃度にドーパしたSi単結晶からなるp<sup>-</sup>型エピタキシャル層2が形成されている。ここで、p<sup>+</sup>型基板1は比抵抗が0.01~0.02Ω・cm程度であり、p<sup>-</sup>型エピタキシャル層2は不純物濃度が5×10<sup>14</sup>~5×10<sup>15</sup>cm<sup>-3</sup>程度（比抵抗が3~20Ω・cm）、厚さは3~30μm程度である。

【0021】p<sup>-</sup>型エピタキシャル層2の表層の受光領域には、砒素等のn型不純物が高濃度にドーパされ、受光層としてのn<sup>+</sup>型層3が例えば拡散法により形成されている。n<sup>+</sup>型層3の不純物濃度は3×10<sup>18</sup>~3×10<sup>21</sup>cm<sup>-3</sup>程度であり、深さは0.2~1.0μm程度である。

【0022】p<sup>-</sup>型エピタキシャル層2の表層の受光領域の周辺部には、n型不純物が低濃度にドーパされ、n<sup>+</sup>型層3の周縁部と接続するn型ガードリング層4が形成されている。n型ガードリング層4の不純物濃度は表面で5×10<sup>15</sup>~5×10<sup>18</sup>cm<sup>-3</sup>程度であり、深さは1.0~5.0μm程度である。このように、深く形成することでn型ガードリング層4の断面の曲率半径を大きくでき、しかもp<sup>-</sup>型エピタキシャル層2とのpn接合を階段接合ではなく傾斜接合とできるので、n型ガードリング層4の外側部分における耐圧を向上させることが可能になる。

【0023】p<sup>-</sup>型エピタキシャル層2の表層のn型ガードリング層4の外側には、n型ガードリング層4と1μm程度以上の間隔をあけて、ボロン等のp型不純物が低濃度にドーパされたp型フィールドドーパ層5が形成

10

20

30

40

50

されている。p型フィールドドープ層5の不純物濃度は表面で $3 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度であり、深さは0.5~2.0  $\mu\text{m}$ 程度である。このp型エピタキシャル層2より高濃度のp型フィールドドープ層5を設けたこと、特にn型ガードリング層4との間に一定の間隔部分Sをあけてp型フィールドドープ層5を設けた点に本実施形態の特徴があり、これより、p型エピタキシャル層2を十分に低ドープとしながら、耐圧を向上させることが可能となる。

【0024】p型エピタキシャル層2の表層のp型フィールドドープ層5のさらに外側には、ボロン等のp型不純物がp型フィールドドープ層5よりも高濃度にドープされたp型チャネルストッパ層6が形成されている。p型チャネルストッパ層6の不純物濃度は $3 \times 10^{15} \sim 3 \times 10^{20} \text{ cm}^{-3}$ 程度であり、深さは0.2~1.0  $\mu\text{m}$ 程度である。APDをトランジスタ等と集積化してICチップを作製するときは、上記の濃度及び深さが好ましいが、異なっても動作上の問題は無い。

【0025】上記のように各領域が形成されたp型エピタキシャル層2の上面には、 $\text{SiO}_2$ 膜7が積層されており、n型層3の上面では入射光に対する反射防止膜として機能する。n型層3の周縁部上の $\text{SiO}_2$ 膜7には、コンタクトホールが形成され、ここにカソード電極8がオーミック接続されている。また、p型チャネルストッパ層6の上の $\text{SiO}_2$ 膜7にもコンタクトホールが形成され、ここにアノード電極9がオーミック接続されている。そして、これら電極8、9は、 $\text{SiO}_2$ 膜7上の配線10により、同一基板上のトランジスタ等の他の回路素子（図示せず）と接続されている。

【0026】さらに、 $\text{SiO}_2$ 膜7および配線10の上にはPSG等の保護膜（図示せず）が形成され、n型層3の上方（受光領域）を除く領域にはアルミニウム等からなる遮光膜（図示せず）が形成され、入射光は受光領域にのみ選択的に入射する。

【0027】次に、図1に示すPIN-APDの動作を説明する。

【0028】まず、カソード電極8とアノード電極9に逆バイアス電圧が印加されると、n型層3とn型ガードリング層4は正の同電位になり、p型チャネルストッパ層6とp型フィールドドープ層5は負の同電位になり、かつp型基板1はp型エピタキシャル層2を介してp型チャネルストッパ層6と同電位になる。

【0029】このためp型基板1とn型層3に挟まれ、かつn型ガードリング層4に囲まれたp型エピタキシャル層2は空乏化し、光キャリア生成領域が形成される。同時に、n型ガードリング層4とp型フィールドドープ層5の間のp型エピタキシャル層2も空乏化するが、前述の遮光膜により入射光は届かないので、光キャリア生成領域として機能することはない。

【0030】 $\text{SiO}_2$ 膜7を介してn型層3からp型

エピタキシャル層2に光が入射すると、電子・正孔対が発生し、空乏層の電界によって電子はn型層3方向へ、正孔はp型基板1方向へドリフトする。そして、電子がp型エピタキシャル層2に接するn型層3の界面端部に到達すると、高電界によってアバランシェ増倍を起こし、増倍電子は信号電流としてカソード電極8、10から出力される。

【0031】ここで、p型エピタキシャル層2が十分に低ドープであれば、光入射で生成された電子がドリフト中に不純物準位にトラップされる確率が低くなり、検出感度が向上する。また、p型エピタキシャル層2が十分に低ドープであれば、印加された逆バイアス電圧による内部電界は、より多くn型層3のp型エピタキシャル層2との界面端部に集中するので、アバランシェ増倍の効果をさらに高めることができる。本実施形態では、p型エピタキシャル層2の不純物濃度を $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-3}$ 程度まで十分に低くしているので、上記の検出感度の向上とアバランシェ増倍効率の向上を、同時かつ十分に達成している。

【0032】一方、逆バイアス電圧による空乏層は、n型ガードリング層4とp型フィールドドープ層5の間の表層部分にも生成されるが、p型エピタキシャル層2の表層である間隔部分Sが極性反転しない場合には、n型ガードリング層4と間隔部分Sの界面を中心にして、極性反転した場合には、p型フィールドドープ層5と間隔部分Sの界面を中心として、キャリア濃度に応じて両側に空乏層が広がる。また、間隔部分Sがp型から中性(i型)に変わる場合は、n型ガードリング層4と間隔部分S及びp型フィールドドープ層5と間隔部分Sの両界面を中心として、キャリア濃度に応じて両側に空乏層が広がる。

【0033】いずれにせよ、逆バイアス電圧による内部電界は、十分に低ドープのp型エピタキシャル層2からなる間隔部分Sを中心として、その両側の低ドープのn型ガードリング層4またはp型フィールドドープ層5でのみ発生し、高ドープのn型層3とp型チャネルストッパ層6に空乏層が到達する事はない。このため、極性反転の有無にかかわらず電界集中が緩和できるので、PIN-APDの高耐圧化が可能となる。

【0034】なお、図1に示すPIN-APDは、次の様なプロセスで作製される。まず、p型基板上1にp型エピタキシャル層2が成長される。次に、熱拡散、イオン注入あるいは薄い $\text{SiO}_2$ 膜7を表面に形成した状態でイオン注入（スルー注入）により、レジストマスクを介してn型ガードリング層4、p型フィールドドープ層5、n型層3、p型チャネルストッパ6の順に形成される。そして、 $\text{SiO}_2$ 膜7にコンタクトホールが形成され、カソード電極8及びアノード電極9が形成される。

【0035】本発明は、上記実施形態に限定されること

なく種々の変形が可能である。

【0036】例えば、半導体基板1を $n^+$ 型とし、受光層3やフィールドドープ層5等のすべての要素の導電型を逆にしてもよい。ただし、実施形態の導電型であれば、光生成された電子・正孔対のうち電子をアバランシェ増倍する事となるので、高感度検出のためにはより好ましい。

【0037】また、アバランシェ増倍機能を有していない通常のPINホトダイオードでもよい。ただし、APDに印加される逆バイアス電圧は通常のPINホトダイオードより高いので、本発明による高耐圧化の効果はAPDの方がより優れている。

【0038】尚、APDにおいて表面の反転化によるリーク電流を防止する技術として、特開昭58-115873号公報が知られているが、これはPN構造のホトダイオードに関するものであり、基本構造が本発明と異なる。また、表面が $n^-$ 型から $p^-$ 型に反転するのを防止するために、表面を $n^-$ 型から $n$ 型に高ドープ化するものであり、間隔部分を極性反転し得る程度の低ドープ領域のまま残しておく本発明と異なる。このため、上記公報の技術ではpn接合の界面に電界が集中し耐圧が低下する。

【0039】

【発明の効果】本発明のホトダイオードによれば、ガー

ドリング層とチャネルストップ層の間にチャネルストップ層と接するフィールドドープ層を設け、さらにフィールドドープ層とガードリング層の間に一定の間隔部分を設けたので、間隔部分が極性反転するか否かにかかわらず電界集中を緩和でき、高耐圧化できる。

【0040】このため、極性反転を考慮することなく、エピタキシャル層の不純物濃度を設計できるので、用途に応じて最も高感度で光吸収効率の高い光キャリア生成領域として機能するエピタキシャル層を、P層とN層に挟まれたI層に有するPIN構造のホトダイオードを実現できる。

【0041】特に、基板を $p^+$ 型としたPIN-APDとした時には、高耐圧化と高感度化を同時に達成できる効果がある。

【図面の簡単な説明】

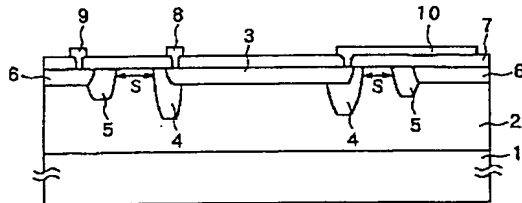
【図1】実施形態に係るPIN-APDの断面図である。

【図2】従来のPIN-APDの断面図である。

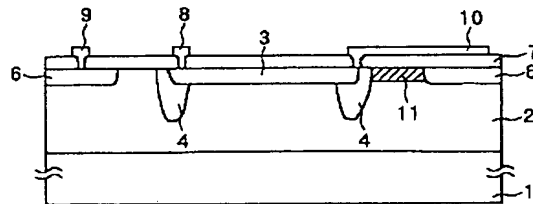
【符号の説明】

1… $p^+$ 型基板、2… $p^-$ 型エピタキシャル層、3… $n^+$ 型層、4… $n$ 型ガードリング層、5… $p$ 型フィールドドープ層、6… $p^+$ 型チャネルストップ層、7… $SiO_2$ 膜、8…カソード電極、9…アノード電極、10…配線、11… $n$ 型反転部、S…間隔部分。

【図1】



【図2】



THIS PAGE BLANK (USPTO)